

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-282616

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

G06F 12/08
G06F 12/10

(21)Application number : 2000-100518 (71)Applicant : MITSUBISHI ELECTRIC CORP

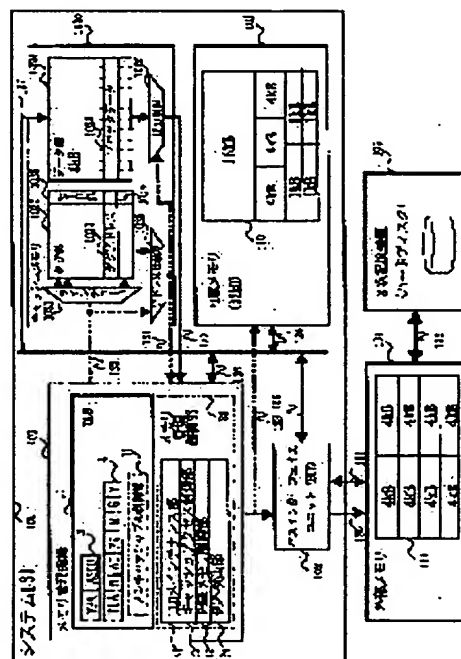
(22)Date of filing : 03.04.2000 (72)Inventor : MORI ATSUSHI

(54) MEMORY MANAGEMENT SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the use efficiency of a memory resources without being conscious as whether the page size is smaller than a cache memory.

SOLUTION: In a memory managing mechanism that is equipped with a main storage device and the cache memory and provided for a processor which refers to the main storage device by using a physical page address replacing an inputted virtual page address, a non-cacheable control part (11) uses a page size bit (PZ) stored in a page display entry (TLB) (1) and a non-cacheable bit (N) showing a value, specifying whether a page specified with the physical page address is registered in the cache memory and sets a value specifying nonregistration to a non-cacheable bit, when the page size bit shows a value indicating that the page size is smaller than set size (size of cache memory, block data size × the number entered).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-282616
(P2001-282616A)

(43)公開日 平成13年10月12日(2001.10.12)

(51)Int.Cl.⁷

G 0 6 F 12/08

識別記号

12/10

F I

G 0 6 F 12/08

12/10

テ-マ-ト*(参考)

P 5 B 0 0 5

E

Y

A

E

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21)出願番号 特願2000-100518(P2000-100518)

(22)出願日 平成12年4月3日(2000.4.3)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 毛利 篤史

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100099461

弁理士 溝井 章司 (外2名)

Fターム(参考) 5B005 JJ13 MM01 NN25 NN42 SS12

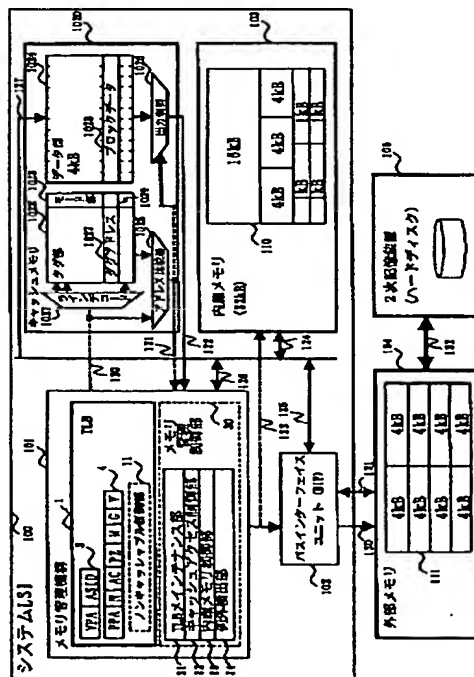
(54)【発明の名称】 メモリ管理方式

(57)【要約】

【課題】 ページサイズがキャッシュメモリより小さいかどうかを意識することなくメモリ資源の使用効率を向上させる。

【解決手段】 主記憶装置とキャッシュメモリとを備え、入力された仮想ページアドレスを置換した物理ページアドレスを用いて主記憶装置を参照するプロセッサに備えられたメモリ管理機構において、ノンキャッシュ制御部(11)は、ページ表示エントリ(TLB)

(1)に記憶されるページサイズビット(PZ)と、物理ページアドレスによって特定されるページをキャッシュメモリに登録するか登録しないかを指定する値を示すノンキャッシュビット(N)とを用いて、ページサイズビットがセットサイズ(キャッシュメモリのサイズ、ブロックデータサイズ×エントリ数)よりも小さいことを示す値である場合に、登録しないことを指定する値を上記ノンキャッシュビットへ設定する。



【特許請求の範囲】

【請求項1】 主記憶装置とキャッシュメモリとを有するプロセッサに備えられ、入力された仮想ページアドレスを置換した物理ページアドレスを用いてプロセッサが主記憶装置を参照する際に仮想ページアドレスを物理ページアドレスへ置換するメモリ管理方式において、仮想ページアドレスを入力し、入力された仮想ページアドレスを置換した物理ページアドレスによって特定されるページのページサイズと上記キャッシュメモリのサイズとを比較し、比較した結果に基づいて、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか否かを指示するノンキャッシュابل制御部を備えたことを特徴とするメモリ管理方式。

【請求項2】 上記ノンキャッシュابل制御部は、上記物理ページアドレスによって特定されるページのページサイズが上記キャッシュメモリのサイズより小さい場合に、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録しないことを指示することを特徴とする請求項1記載のメモリ管理方式。

【請求項3】 上記メモリ管理方式は、さらに、仮想ページアドレスと、上記仮想ページアドレスに対応する物理ページアドレスと、上記物理ページアドレスによって特定されるページのページサイズを示すページサイズデータと、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか登録しないかを指定する値を示すノンキャッシュابلデータとを記憶するページ表エントリを備え、

上記ノンキャッシュابل制御部は、上記ページサイズデータが上記キャッシュメモリのサイズよりも小さいことを示す値である場合に、登録しないことを指定する値を上記ノンキャッシュابلデータへ設定することを特徴とする請求項1または2記載のメモリ管理方式。

【請求項4】 上記プロセッサは、さらに、キャッシュメモリを管理するメモリ管理制御部を備え、上記ノンキャッシュابل制御部は、さらに、上記物理ページアドレスによって特定されるページのページサイズと上記キャッシュメモリのサイズとを比較し、比較した結果に基づいて、物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか登録しないかを指示する信号を上記メモリ管理制御部へ出力する登録データチェック部を備えたことを特徴とする請求項1記載のメモリ管理方式。

【請求項5】 上記登録データチェック部は、上記物理ページアドレスによって特定されるページのページサイズが上記キャッシュメモリのサイズより小さい場合に、物理ページアドレスによって特定されるページをキャッシュメモリへ登録しないことを指示する信号を上記メモリ管理制御部へ出力することを特徴とする請求項4記載のメモリ管理方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャッシュメモリと汎用メモリを内蔵したシステムLSI (Large Scale Integration) において、内蔵汎用メモリの使用効率を向上させるメモリ管理方式 (メモリ管理機構) に関するものである。

【0002】

【従来の技術】近年、半導体プロセス技術の著しい進化により、一つのLSIにプロセッサコアばかりでなく各種メモリを内蔵したシステムLSIが製造可能となった。この各種メモリとしては、キャッシュメモリ、ROM (Read Only Memory)、フラッシュメモリ、汎用メモリ (SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)) 等がある。それぞれの用途に応じて複数の組み合わせで内蔵される可能性がある。

【0003】また、プロセッサコアから、これら各種メモリへの高速アクセスが可能であるため内蔵する容量も次第に増えてきている。また、近年組み込み用途のプロセッサにおいても、汎用オペレーティング・システム (OS) を動作させて、プログラム開発効率を向上させるようになってきている。

【0004】そのため、組み込み用途のプロセッサでもメモリ管理機構 (MMU: Memory Management Unit) を内蔵するようになってきている。メモリ管理機構 (MMU) では、一般的に仮想記憶方式によりメモリの管理を実施している。仮想記憶とは、物理的に限られた容量しかないメモリを多くのプロセスで分割使用する手段である (コンピュータ・アーキテクチャ、David A. Patterson, John L. Hennessy 著、1993年、pp437-456)。即ち、物理メモリを複数のブロックに分割し、そのブロックを各プロセスに割り当てる方法である。

【0005】この仮想記憶という技術が考案される以前は、プログラムが物理メモリの容量を越えてしまった場合は、その容量の中でプログラムを実行できるようにする全責任はプログラムにあった。即ち、まず、プログラムを小片に分割し互いに排他的なものを見出す。そして、これらオーバレイ部分をどういう順序で主記憶にロードするかを、全てユーザのプログラムで制御する。プログラムは、実行中に物理メモリの制限を越えないように動作を保証しなければならない。

【0006】このようなことがプログラマの生産性を阻害する要因であった。このような苦勞からプログラマを解放する目的で考え出されたのが仮想記憶であり、プログラマに対しては実装する物理メモリよりも大きく連続する仮想のアドレス空間を提供する機構である。

【0007】図4に、従来から用いられている仮想記憶

方式における仮想アドレスの変換方式について示す。仮想アドレス(1000)は、仮想ページアドレス(1001)を示す上位フィールドとページ内オフセット(1002)を示す下位フィールドに分割される。仮想アドレス空間と物理メモリ空間は、ページ内オフセット(1002)で示されるページサイズに分割される。仮想アドレス空間には、仮想ページアドレス(1001)で示される個数だけのページが存在する。

【0008】仮想アドレス空間中のどのページが、物理メモリ空間中のどのページに割り当てられるかはページ表(1103)により管理される。このページ表の基点となるアドレスであるページ表ベース(1101)と、表の大きさの値であるページ表限界(1102)は、それぞれのシステムレジスタに格納されている。仮想アドレスから物理アドレスを生成するためには、仮想アドレスの仮想ページアドレス(1001)とページ表ベース(1101)を加算器(1105)で加算し、この値に基づいてページ表内の一つのページ表エントリ(1104)を特定する。

【0009】この時に、加算器(1105)の出力がページ表限界(1102)を超えないことを確認する(1106)。この値を超えている場合は、エラーを検知する。特定されたページ表エントリ(1104)から物理アドレス空間中の仮想ページアドレスを取り出し、仮想アドレスのページ内オフセットと結合させて物理アドレス(1100)を生成する。そして、この物理アドレス(1100)により、主記憶等の物理メモリのアクセスを行う。

【0010】この仮想記憶方式では、当然仮想アドレス空間で扱うページ数よりも、物理メモリ空間で扱うページ数は少ない。そのため、物理メモリ上にない仮想アドレス空間上のページをプログラムがアクセスした場合には、ページ・フォールトが発生する。ページ・フォールトが発生した時は、新たにページ表エントリを追加したり、2次記憶(ディスク等)から物理メモリにプログラムをロードする処理が必要となる。ページフォールトに伴う一連の処理等は、ユーザプログラムが意識する必要はなく、オペレーティング・システムの管理下に置かれるのが一般的である。

【0011】さらに、この仮想アドレスの変換を高速に行うハードウェア機構として、図5に示すTLB(Translation Lookaside Buffer)がある。TLBとは、図4に示すページ表(1103)のキャッシュメモリのようなものであり、プロセッサは仮想アドレスでページ表をアクセスする代わりに、TLBをアクセスすることにより高速にアドレス変換を行うことが可能である。

【0012】以下に、図5に示すフルセットアソシアティブ方式(仮想アドレスの一部をデコードしてエントリ選択を実施せず、TLB内のエントリ毎に内蔵した比較

器のヒットミスによりエントリの選択を実施する構成)のTLB(1051)について説明する。TLB(1051)は、0～Nセットのページテーブルエントリ(PTE)(1061-0～N)より構成されている。各PTEには、図4に示すページ表内のページ表エントリのコピーを持つことが可能である。各PTEは、タグフィールド(1052)とデータフィールド(1053)とアドレス比較器(1054)より構成されている。

【0013】タグフィールド(1052)は、以下の2フィールド(a)～(b)より構成されている。

(a) VPA[31:12]: Virtual Page Address (仮想ページアドレス)

(b) ASID: Address Space ID (アドレス空間ID)

OSは、プロセス毎にASIDを管理することにより多重仮想アドレス空間を実現する。

【0014】また、データフィールド(1053)は、以下の7フィールド(c)～(i)より構成されている。

(c) PPA[31:12]: Physical Page Address (物理ページアドレス) 最小ページである4kBサイズに対応した物理ページアドレスを保持。PZフィールドで示されるページサイズに応じて、使用サイズが変更される。

4kBページ: PPA[31:12] 全て使用

16kBページ: PPA[13:12] を不使用

64kBページ: PPA[15:12] を不使用

128kBページ: PPA[17:12] を不使用

【0015】(d) N: Non Cachable Area bit (ノンキャッシュابلビット)

0=キャッシング可能領域

1=キャッシング不可領域

(e) AC[2:0]: Access Control bits (アクセス制御ビット)

AC[2]: 0=リードアクセス可能、1=リードアクセス不可

AC[1]: 0=ライトアクセス可能、1=ライトアクセス不可

AC[0]: 0=実行可能、1=実行不可

【0016】(f) PZ[1:0]: Page size bits (ページサイズビット)

00=4kBサイズ

01=16kBサイズ

10=64kBサイズ

11=128kBサイズ

(g) M: Modify bit (変更ビット)

0=ライトアクセス未発生

1=ライトアクセス発生

【0017】(h) G: Global Page bit (グローバル・ページビット)

0=ローカル・ページ

1=グローバル・ページ

(i) V: Entry Valid bit (有効ビット)

0=無効エントリ

1=有効エントリ

【0018】各PTE内のアドレス比較器(1054)は、プログラムで発生したメモリアクセス先の仮想ページに対するページ表エントリが、TLBに登録されているかどうかをチェックするためのものである。アドレス比較器(1054)には、現在実行のプロセスに対するASIDと、このプロセスで発生したメモリアクセスに対する仮想ページアドレスが径路1050より入力されている。さらに、タグフィールド(1052)のVPA、ASIDと、データフィールド(1053)のPZ、G、Vが入力されている。

【0019】径路1050からの仮想ページアドレスとタグフィールド(1052)のVPAの比較(「比較A」とする)は、PZによるページサイズに基づいて実施する。また、径路1050からのASIDとタグフィールド(1052)のASIDの比較(「比較B」とする)は、Gビットが0の時のみ有効とする。これら比較A、比較Bの結果は、Vビットが1の時のみ有効であり、Vビットが0であれば無条件で比較結果は不一致となる。

【0020】全てのPTEのアドレス比較器において、比較結果が一致しなかった場合(TLBミス)は、径路1055によりTLBミスが発生したことが例外検出機構に伝達される。例外検出機構では、TLBミスに伴う例外処理が必要であることをプロセッサコアに伝達する。TLBミスは、仮想ページに対するページ表エントリがTLBに登録されていないことを意味する。そのため、この例外処理ルーチンでは、TLBミスを起こしたページ表エントリを径路1059からTLBへ登録するための一連の処理を行い、メモリアクセスを再実行するためにTLBミスを発生した命令へ戻す処理を行う。

【0021】いずれかのPTEのアドレス比較器において、比較結果が一致した場合(TLBヒット)は、径路1055によりTLBヒットしたことを出力制御部(1056)へ伝達する。出力制御部(1056)では、ヒットしたPTE内のデータフィールドのPPAが出力(1057)され、物理アドレスを生成するために使用される。同時に、ヒットしたPTE内のデータフィールドのN、ACがメモリ管理部の制御部へ出力される。Nビットがセット(=1)されていると、生成された物理アドレスでアクセスしたデータをキャッシュメモリに登録しないような処理が実行される。ACビットは、生成された物理アドレスを用いて実施されるアクセスに対する例外を検出するために使用される。

【0022】また、生成された物理アドレスを用いて実

施されるアクセスがライト処理である場合には、物理ページが変更されたことを示しており、この情報は径路(1060)によりMビットをセットする処理が実施される。通常、OSは、物理ページを物理メモリからページアウトする場合に、Mビットがセットされていれば、物理ページの内容を2次記憶に書き戻す処理を実施する。

【0023】このようなTLBを用いた仮想記憶方式によるアドレス変換処理は、プロセッサコアからは命令フェッチとオペランドアクセスで発生する。近年、プロセッサの処理速度の向上は目覚しく、数100MHzで動作するものが珍しくなくなってきた。

【0024】これに対して、主記憶のアクセス速度は、まだまだ遅く、プロセッサをウェイトさせることなく、処理を連続的に実行するためには、キャッシュメモリや内蔵メモリが用いられている。しかも、プロセッサパフォーマンスの向上を目指して、これらキャッシュメモリや内蔵メモリの容量は、次第に大きくなる傾向にある。そのため、プロセッサコアからの命令フェッチやオペランドアクセスでは、TLBでアドレス変換処理を行い、かつ、キャッシュメモリや内蔵メモリアクセスを高速に実行することが求められている。

【0025】図6は、TLBでのアドレス変換処理と、物理キャッシュメモリのリードアクセスを並列に実行する処理フローを示している。1010は、メモリ管理機構であり、TLBを内蔵し高速にアドレス変換可能である。1020は、キャッシュメモリであり、アドレス変換後の物理アドレスでアクセスする。キャッシュメモリ(1020)は、エントリを選択するためのデコード部(1021)と、タグアドレスを保持するタグ部(1022)と、エントリが有効であることを示す有効ビット等を保持するモード部(1023)と、データを保持するデータ部(1024)と、アドレス比較器(1025)と、出力制御部(1026)より構成されている。

【0026】データ部のサイズは、デコード部(1021)に入力されるエントリアドレス(1004)と、1エントリ内に登録されるブロックデータサイズを示すアドレス(1005)の合計サイズで決定される。例えば、ブロックサイズが16バイト(=2⁴)で、256エントリ(=2⁸)である場合には、データ部のサイズ(このブロックデータサイズとエントリサイズを掛け合わせたサイズを、セットサイズと呼ぶ)は4kB(=2¹²)となる。図6に示すキャッシュメモリの構成では、セットサイズが仮想アドレスのページサイズよりも小さい値となっている。

【0027】メモリ管理機構(1010)内のTLBへは、仮想アドレス(1000)の仮想ページアドレス(1001)のみ入力されて、TLBヒット後に物理ページアドレス(1006)が出力される。キャッシュメモリ(1020)へは、ページ内オフセット(100

2)のアドレス(1004)がデコード部(1021)へ出力され、キャッシュメモリ内の1エントリが選択される。選択されたタグアドレス(1027)は、モードビット(1029)と共にアドレス比較器(1025)へ出力され、ページ内オフセットのアドレス(1003)とメモリ管理機構からの出力である物理ページアドレス(1006)と比較される。

【0028】アドレス比較器(1025)での比較結果が一致(キャッシュヒット)していれば、データ部で選択された1エントリ内のブロックデータ(1028)が出力制御部(1026)より出力される。アドレス比較器(1025)での比較結果が不一致(キャッシュミス)であれば、メモリ管理機構(1010)で生成された物理ページアドレス(1006)を用いて物理メモリのリードアクセスが引き続き実行される。

【0029】このように、キャッシュメモリのセットサイズが仮想アドレスのページサイズよりも小さい場合には、メモリ管理機構(1010)でのアドレス変換結果で、キャッシュのエントリ選択のデコード処理を行う必要がなく、高速に一連の処理を実行可能である。そのため、図6に示すような処理フローを実現するためには、TLBで扱う最小ページサイズは、キャッシュメモリのセットサイズよりも大きく設定する必要がある。

【0030】しかしながら、キャッシュメモリの大容量化に伴って、TLBでサポートする最小ページサイズが大きくなる(例えば、32kBのキャッシュメモリを内蔵した場合、4ウェイセットアソシアティブにしたとしても、1つのセットサイズは8kBとなる。これに伴ってTLBでサポートする最小ページサイズは8kBとなる)と、緻密なメモリ管理に支障をきたす場合がでてきた。例えば、キャッシュメモリと同一チップに汎用メモリ(SRAM, DRAM)を内蔵した場合、これら汎用メモリに大きなページサイズを割り付けてしまうと、メモリの使用効率が落ちる場合がある。

【0031】これら汎用メモリを内蔵する大きな理由は、高速にメモリアccessを実施するためであるから、なるべく内蔵汎用メモリの使用効率を向上させてプロセッサのパフォーマンスを向上させたい。そのため、キャッシュメモリのセットサイズよりも小さいページサイズをTLBでサポートする機構が必要となってくる。

【0032】図7は、キャッシュメモリのセットサイズよりも小さいページサイズの仮想アドレスで、アドレス変換とキャッシュメモリのリードアクセスを行う場合の処理フローである。キャッシュメモリ(1020)の構成は、図6で示すものと全く同じである。エントリを指定するアドレス(1004)と、ブロックデータサイズを指定するアドレス(1005)の合計が、仮想アドレスのページサイズを示すページ内オフセット(1002)を超えており、この超えたアドレス(1008)がメモリ管理機構(1011)内のTLBでのアドレス変

換対象となる。

【0033】このため、キャッシュメモリ(1020)のエントリを選択するためのデコード部(1021)へは、メモリ管理機構(1011)からの出力である物理ページアドレス(1006)の一部(1009)を入力する必要がある。このように、メモリ管理機構(1011)でアドレス変換した後にしか、キャッシュメモリのエントリ選択のデコード処理を開始することができず、結果的に処理速度の低下を招くことになる。

【0034】

【発明が解決しようとする課題】この発明は、キャッシュメモリと汎用メモリを内蔵したシステムLSIにおいて、内蔵した汎用メモリの使用効率を向上させることを目的とする。

【0035】

【課題を解決するための手段】この発明に係るメモリ管理方式は、主記憶装置とキャッシュメモリとを有するプロセッサに備えられ、入力された仮想ページアドレスを置換した物理ページアドレスを用いてプロセッサが主記憶装置を参照する際に仮想ページアドレスを物理ページアドレスへ置換するメモリ管理方式において、仮想ページアドレスを入力し、入力された仮想ページアドレスを置換した物理ページアドレスによって特定されるページのページサイズと上記キャッシュメモリのサイズとを比較し、比較した結果に基づいて、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか否かを指示するノンキャッシュابل制御部を備えたことを特徴とする。

【0036】上記ノンキャッシュابل制御部は、上記物理ページアドレスによって特定されるページのページサイズが上記キャッシュメモリのサイズより小さい場合に、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録しないことを指示することを特徴とする。

【0037】上記メモリ管理方式は、さらに、仮想ページアドレスと、上記仮想ページアドレスに対応する物理ページアドレスと、上記物理ページアドレスによって特定されるページのページサイズを示すページサイズデータと、上記物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか登録しないかを指定する値を示すノンキャッシュابلデータとを記憶するページ表エントリを備え、上記ノンキャッシュابل制御部は、上記ページサイズデータが上記キャッシュメモリのサイズよりも小さいことを示す値である場合に、登録しないことを指定する値を上記ノンキャッシュابلデータへ設定することを特徴とする。

【0038】上記プロセッサは、さらに、キャッシュメモリを管理するメモリ管理制御部を備え、上記ノンキャッシュابل制御部は、さらに、上記物理ページアドレスによって特定されるページのページサイズと上記キャッ

シユメモリのサイズとを比較し、比較した結果に基づいて、物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか登録しないかを指示する信号を上記メモリ管理制御部へ出力する登録データチェック部を備えたことを特徴とする。

【0039】上記登録データチェック部は、上記物理ページアドレスによって特定されるページのページサイズが上記キャッシュメモリのサイズより小さい場合に、物理ページアドレスによって特定されるページをキャッシュメモリへ登録しないことを指示する信号を上記メモリ管理制御部へ出力することを特徴とする。

【0040】

【発明の実施の形態】実施の形態1. 本発明の内蔵メモリ向けメモリ管理方式では、キャッシュメモリと汎用メモリを内蔵するシステムLSIにおいて、内蔵汎用メモリ等の使用効率を向上させるために、キャッシュメモリのセットサイズよりも小さいページサイズをTLBでサポートする機構に関するものである。セットサイズは、キャッシュメモリのサイズ（キャッシュメモリのデータ部のサイズ）を示し、具体的には、ブロックデータサイズとエントリ数の積の値である。

【0041】図1に、この実施の形態の内蔵メモリ向けメモリ管理機構（メモリ管理方式）の一例を示す。100は、この実施の形態のシステムLSIである。1020は、システムLSIに内蔵されるキャッシュメモリであり、図6、図7に示す従来のキャッシュメモリと同じ構成のものである。キャッシュメモリ（1020）内のデータ部（1024）のサイズ（セットサイズ）は、4kBである。103は、システムLSIに内蔵される32kBの内蔵メモリである。110は、内蔵メモリ内のページマッピング状態を示している。

【0042】101は、この実施の形態のメモリ管理機構（メモリ管理方式）であり、TLB（1）とメモリ管理制御部（30）より構成されている。TLB（1）は、タグフィールド（3）とデータフィールド（4）を内蔵している。さらに、TLB（1）には、ノンキャッシュ制御部（11）が内蔵されている。

【0043】ノンキャッシュ制御部（11）は、仮想ページアドレスを入力し、入力された仮想ページアドレスを置換した物理ページアドレスによって特定されるページのページサイズとキャッシュメモリのサイズ（セットサイズ）とを比較し、比較した結果に基づいて、物理ページアドレスによって特定されるページをキャッシュメモリへ登録するか否かを指示する。

【0044】メモリ管理制御部（30）では、TLBのメンテナンスをするTLBメンテナンス部（31）、キャッシュメモリ（1020）へのアクセスを制御するキャッシュアクセス制御部（32）、内蔵メモリを制御する内蔵メモリ制御部（33）、例外を検出する例外検出部（34）等の各種制御を行う構成要素を含

む。

【0045】102は、システムLSI（100）と外部メモリ（104）間のデータアクセスを司るバスインターフェイスユニット（BIF）である。104は、外部メモリ（外部物理メモリ）であり、111は、外部メモリ内のページマッピング状態を示している。105は、ハードディスク等の2次記憶装置を示している。

【0046】次に、プロセッサコア（システムLSIに内蔵されている。図1では記載していない）から起動されるメモリのリードアクセス処理について説明する。プロセッサコアからのメモリアクセスは、仮想アドレスでメモリ管理機構（101）に対して出力される。メモリ管理機構（101）では、入力された仮想アドレスをTLB（1）でアドレス変換し（TLBヒットの場合）、物理アドレスを生成する。生成された物理アドレスは、バス（120）を通してメモリ管理機構（101）からキャッシュメモリ（1020）へ出力される。これに対して、キャッシュヒットかミスかを判定する信号（121）が返される。

【0047】キャッシュヒットの場合は、キャッシュメモリより読み出されたターゲットデータがバス（122）を通してメモリ管理機構に転送される。そして、メモリ管理機構（101）からプロセッサコアにターゲットデータが転送されて、プロセッサコアから起動されたメモリアクセス処理は完了する。

【0048】キャッシュミスの場合は、バス（123）を通して物理アドレスが内蔵メモリ（103）とBIF（102）へ出力される。この物理アドレスが内蔵メモリ内を指していれば、バス（124）を通してターゲットデータが出力される。このターゲットデータは、バス（126）を通じてメモリ管理機構（101）に入力される。そして、プロセッサコアに転送されて一連のメモリアクセス処理は完了する。

【0049】この物理アドレスが内蔵メモリ内を指していなければ、BIF（102）はバス（130）を通して、外部メモリに対して物理アドレスを出力し、バス（131）を通してターゲットデータを外部メモリより得る。そして、BIF（102）はバス（125）、バス（126）を通してターゲットデータをメモリ管理機構に転送する。そして、プロセッサコアに転送されて一連のメモリアクセス処理は完了する。

【0050】このターゲットデータがキャッシング対象であれば、メモリ管理機構（101）はバス（127）を通してキャッシュメモリ（1020）に、アクセスで用いた物理アドレスとターゲットデータをキャッシュメモリ（1020）へ登録する。以上、プロセッサコアから起動されるメモリアクセスでTLBヒットする場合について説明した。

【0051】一方、メモリアクセスでTLBミスした場合は、OSは物理メモリ上で管理しているページ表から

アドレス変換対象のページ表エントリを取ってきてTLBに登録し、メモリアクセスを再実行する。メモリアクセスでTLBミスし、かつ、ページ表内にもアドレス変換対象のページ表エントリが存在しない場合は、2次記憶(105)から物理メモリへ対象ページを取り込む処理(ページイン)が必要となる。

【0052】前述したTLBに新規にページ表エントリを登録する処理や、物理メモリに新規に対象ページを取り込む処理において、余分な領域が存在しない場合には、それぞれリプレース処理や、ページアウト処理が必要となる。これらTLBミス時の各種処理に関しては、本発明と本質的に関係ないので詳細な説明を省略する。

【0053】メモリ管理機構(101)内のノンキャッシュابل制御部(11)や各制御(30)機構は、キャッシュメモリ(1020)のデータ部のサイズであるセットサイズ(図1のキャッシュメモリ(1020)では、セットサイズが4kBである)よりも小さいページを扱う場合に必要となる。外部メモリよりも小容量であるが、プロセッサコアから高速アクセスが可能である内蔵メモリは、110のページマッピング例に示すように、1kBのように小ページを扱えた方が、より多くのページを内蔵メモリ上に格納しておくことが可能となり、メモリの使用効率が向上する。

【0054】しかし、図6の従来例で示したように、TLBアドレス変換とキャッシュメモリアクセスを並行して行う構成では、キャッシュメモリのセットサイズよりも小さいページを扱うことが不可能である。そこで、本発明では内蔵メモリでキャッシュメモリのセットサイズよりも小さいページを扱う場合には、このページを強制的にノンキャッシュابل領域とするような制御機構としてノンキャッシュابل制御部(11)を設けている。

【0055】図2に、本発明の内蔵メモリ向けメモリ管理機構の一例を示す。1は、図5と同様なフルセットアソシアティブ方式(仮想アドレスの一部をデコードしてエントリ選択を実施せず、TLB内のエントリ毎に内蔵した比較器のヒットミスによりエントリの選択を実施する構成)のTLBである。TLB(1)は、0~Nセットのページテーブルエントリ(PTE)(2-0~N)より構成されている。各PTEには、図4に示すページ表内のページ表エントリのコピーを持つことが可能である。各PTEは、タグフィールド(3)とデータフィールド(4)とアドレス比較器(5)より構成されている。

【0056】タグフィールド(3)は、以下の2フィールド(j)~(k)より構成されている。

(j) VPA[31:10]: Virtual Page Address (仮想ページアドレス)

(k) ASID: Address Space ID (アドレス空間ID) OSは、プロセス毎にASIDを管理することにより多重仮想アドレス空間を実現する。

【0057】また、データフィールド(4)は、以下の7フィールド(1)~(r)より構成されている。

(1) PPA[31:10]: Physical Page Address (物理ページアドレス)

最小ページである4kBサイズに対応した物理ページアドレスを保持。PZフィールドで示されるページサイズに応じて、使用サイズが変更される。

1kBページ: PPA[31:10] 全て使用

4kBページ: PPA[11:10] を不使用

16kBページ: PPA[13:10] を不使用

64kBページ: PPA[15:10] を不使用

【0058】(m) N: Non Cachable Area bit (ノンキャッシュابلビット)

0=キャッシング可能領域

1=キャッシング不可領域

(n) AC[2:0]: Access Control bits (アクセス制御ビット)

AC[2]: 0=リードアクセス可能、1=リードアクセス不可

AC[1]: 0=ライトアクセス可能、1=ライトアクセス不可

AC[0]: 0=実行可能、1=実行不可

【0059】(o) PZ[1:0]: Page size bits (ページサイズビット)

00=1kBサイズ

01=4kBサイズ

10=16kBサイズ

11=64kBサイズ

(p) M: Modify bit (変更ビット)

0=ライトアクセス未発生

1=ライトアクセス発生

【0060】(q) G: Global Page bit (グローバル・ページビット)

0=ローカル・ページ

1=グローバル・ページ

(r) V: Entry Valid bit (有効ビット)

0=無効エントリ

1=有効エントリ

【0061】各PTE内のアドレス比較器(5)は、プログラムで発生したメモリアクセス先の仮想ページに対するページ表エントリが、TLBに登録されているかどうかをチェックするためのものである。アドレス比較器(5)には、現在実行のプロセスに対するASIDと、このプロセスで発生したメモリアクセスに対する仮想ページアドレスが径路20より入力されている。さらに、タグフィールド(3)のVPA、ASIDと、データフィールド(4)のPZ、G、Vが入力されている。

【0062】径路20からの仮想ページアドレスとタグフィールド(3)のVPAの比較(「比較C」とする)

は、PZによるページサイズに基づいて実施する。また、径路20からのASIDとタグフィールド(3)のASIDの比較(「比較D」とする)は、Gビットが0の時のみ有効とする。これら比較C、比較Dの結果は、Vビットが1の時のみ有効であり、Vビットが0であれば無条件で比較結果は不一致となる。

【0063】全てのPTEのアドレス比較器において、比較結果が一致しなかった場合(TLBミス)は、径路6によりTLBミスが発生したことが例外検出機構に伝達される。例外検出機構では、TLBミスに伴う例外処理が必要であることをプロセッサコアに伝達する。TLBミスは、仮想ページに対するページ表エントリがTLBに登録されていないことを意味する。そのため、この例外処理ルーチンでは、TLBミスを起こしたページ表エントリを径路(9)からTLBへ登録するための一連の処理を行い、メモリアクセスを再実行するためにTLBミスを発生した命令へ戻る処理を行う。

【0064】いずれかのPTEのアドレス比較器において、比較結果が一致した場合(TLBヒット)は、径路6によりTLBヒットしたことを出力制御部(7)へ伝達する。出力制御部(7)では、ヒットしたPTE内のデータフィールドのPPAが出力(8)され、物理アドレスを生成するために使用される。同時に、ヒットしたPTE内のデータフィールドのN、ACがメモリ管理部の制御部へ出力される。Nビットがセット(=1)されていると、生成された物理アドレスでアクセスしたデータをキャッシュメモリに登録しないような処理が実行される。ACビットは、生成された物理アドレスを用いて実施されるアクセスに対する例外を検出するために使用される。

【0065】また、生成された物理アドレスを用いて実施されるアクセスがライト処理である場合には、物理ページが変更されたことを示しており、この情報は径路(10)によりMビットをセットする処理が実施される。通常、OSは、物理ページを物理メモリからページアウトする場合に、Mビットがセットされていれば、物理ページの内容を2次記憶に書き戻す処理を実施する。

【0066】さらに、この実施の形態のTLB(1)では、PTE内のデータフィールド(4)のPZ値が00の場合、即ち、1kBサイズのページを扱う場合には、NOR回路(14)がHighとなりOR回路(15)に入力されるため、ノンキャッシュابلビットNの値に依らず、強制的にノンキャッシュابل信号(12)がHighとなり、このページはノンキャッシュابل領域として制御される。

【0067】このようなノンキャッシュابل制御部(11)を設けることにより、OSはページサイズがキャッシュメモリのセットサイズよりも小さいかどうかを意識すること無く、1kBサイズのページを扱うことが可能となり、貴重な内蔵メモリ資源の使用効率を向上させる

ことが可能となる。

【0068】実施の形態2. この実施の形態では、ノンキャッシュابل制御部(11)に、登録データチェック部(35)を備えた場合を説明する。図3に、この実施の形態の内蔵メモリ向けメモリ管理機構の一例を示す。

【0069】1は、TLBであり、図2に示すTLBと同一番号で示しているブロックは、同一の処理を行う。図3に示す本発明の内蔵メモリ向けメモリ管理機構では、OSが図4に示すページ表エントリをTLB(1)内のPTE(2-0~N)に径路(9)を通じて登録する際に、キャッシュメモリのセットサイズよりも小さいページ(PZ=00)を、ノンキャッシュابلビットを立てることなく(N=0の状態)、登録しようとした場合に、登録データをチェックするための機構として登録データチェック部(35)を通じて、登録処理を行うようになっている。

【0070】登録データチェック部(35)は、物理ページアドレスによって特定されるページのページサイズがキャッシュメモリのサイズ(セットサイズ)より小さい場合に、物理ページアドレスによって特定されるページをキャッシュメモリに登録しないことを指示する信号をメモリ管理制御部(30)の例外検出部(34)へ出力する。

【0071】この実施の形態では、登録データチェック部(35)は、PZ=00とN=0の組み合わせの時に、OSがPTE登録を実施しようとした場合には、例外として認識し、メモリ管理制御部(30)の例外検出機構に信号(36)で伝達する。また、登録データチェック部(35)がPZ=00とN=0の組み合わせの時に、OSがPTE登録を実施しようとした場合には、強制的にN=1に変更してから、PZ=00とN=1の組み合わせでPTE登録を実施するように設定することもできる。このような登録データチェック部(35)を設けることにより、OSはページサイズがキャッシュメモリのセットサイズよりも小さいかどうかを意識すること無く、1kBサイズのページを扱うことが可能となり、貴重な内蔵メモリ資源の使用効率を向上させることが可能となる。

【0072】実施の形態3. 上記実施の形態では、ノンキャッシュابل制御部(11)が、PZ(ページサイズビット)がセットサイズ(キャッシュメモリのサイズ)よりも小さい場合に、物理ページアドレスによって特定されるページを強制的にキャッシュメモリへの登録対象外とすることについて説明したが、これに限られることはない。ノンキャッシュابل制御部(11)は、PZとセットサイズとを比較し、比較した結果に基づいて、ノンキャッシュابلビット(N)を設定することができる。

【0073】また、ノンキャッシュابل制御部(11)は、ノンキャッシュابلビット(N)を設定することに

限られず、キャッシュメモリへの登録を制御する機構を用いることによって、キャッシュメモリへの登録を制御してもかまわない。

【0074】同様に、実施の形態3で説明した登録データチェック部(35)についても、PZがセットサイズよりも小さい場合に限られることなく、PZとセットサイズとを比較し、比較した結果に基づいて、信号36を出力するようにしてもよい。また、信号36も、物理ページアドレスによって特定されるページがキャッシュメモリへの登録対象外とする信号に限られず、この他の意味を有する信号を出力するようにしてもかまわない。

【0075】実施の形態4。上記実施の形態1では、図1及び図2において、ノンキャッシュ制御部(11)は、TLB(1)の内部にある場合を説明した。しかしながら、ノンキャッシュ制御部(11)は、TLBの外部にあってもかまわない。ノンキャッシュ制御部(11)は、メモリ管理機構(101)内に存在するものであればよい。

【0076】また、同様に、実施の形態2の図3において、ノンキャッシュ制御部(11)の一例として示した登録データチェック部(35)についても、TLB(1)の外部にある場合であってもかまわない。登録データチェック部(35)も、メモリ管理機構(101)内に存在するものであればよい。

【0077】

【発明の効果】この発明によれば、キャッシュメモリへの物理ページの登録を制御することができる。

【0078】この発明によれば、キャッシュメモリへの物理ページの登録を強制的に中止することによって、ページサイズを意識することなく、ページを取り扱うことが可能になるとともに、記憶領域の使用効率を向上させることができる。

【0079】この発明によれば、物理ページサイズをチェックし、キャッシュメモリへの物理ページの登録を制御する信号によって、OSは、ページサイズを意識することなく、ページを取り扱うことが可能になるとともに、記憶領域の使用効率を向上させることができる。

【図面の簡単な説明】

【図1】 この実施の形態の仮想記憶方式における仮想アドレス変換方式を説明する構成図。

【図2】 この実施の形態のノンキャッシュ制御部をTLBに追加した構成の一例を表わす図。

【図3】 この実施の形態の登録データチェック部をTLBへ追加した構成の一例を表わす図。

【図4】 従来の仮想記憶方式における仮想アドレス変換方式を説明する構成図。

【図5】 従来の仮想記憶方式におけるTLBの一例を示す図。

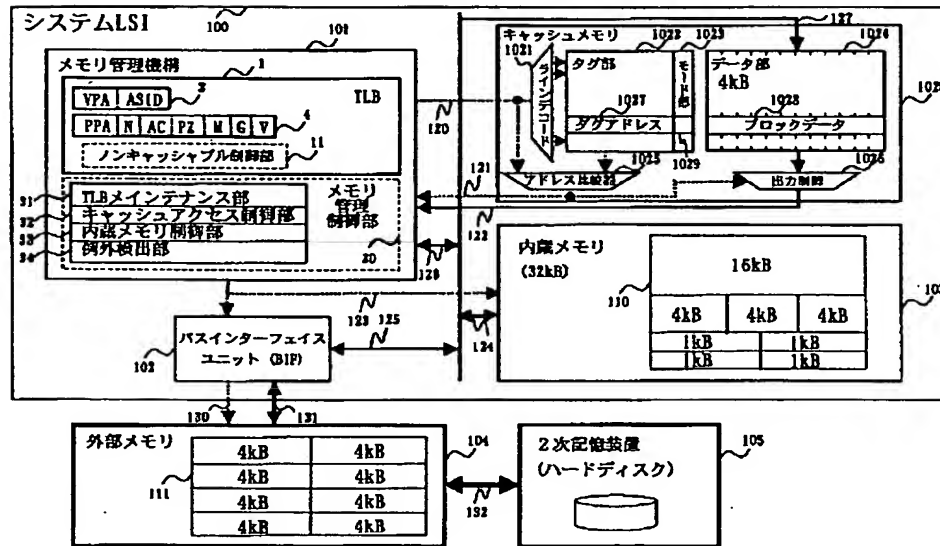
【図6】 従来の仮想記憶方式における仮想アドレス変換方式を説明する構成図。

【図7】 従来の仮想記憶方式における仮想アドレス変換方式を説明する構成図。

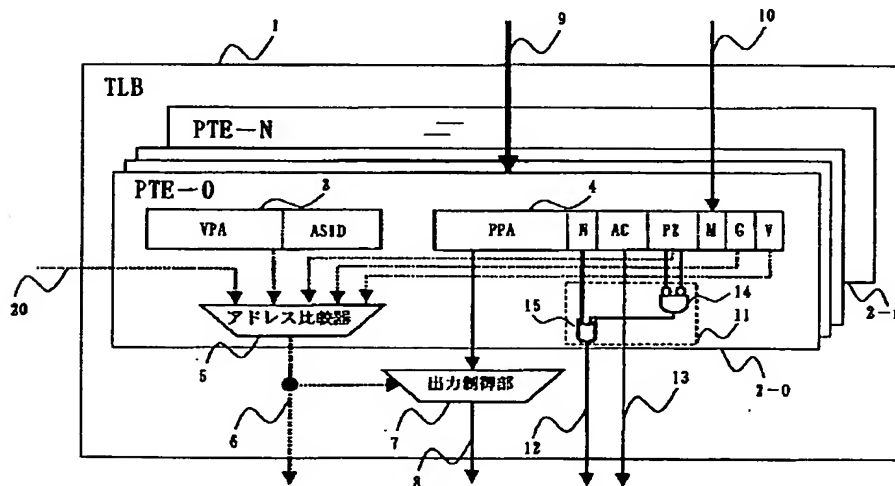
【符号の説明】

1 TLB、2、2-0~n PTE、3 タグフィールド、4 データフィールド、5 アドレス比較器、6、9、10、20、1050、1055、1059、1060 経路、7 出力制御部、8、1057 出力、11 ノンキャッシュ制御部、12 ノンキャッシュ信号、14 NOR回路、15 OR回路、30 メモリ管理制御部、31 TLBメンテナンス部、32 キャッシュアクセス制御部、33 内蔵メモリ制御部、34 例外検出部、35登録データチェック部、36 信号、100 システムLSI、101 メモリ管理機構、102 バスインターフェイスユニット(BIF)、103 内蔵メモリ、104 外部メモリ、105 2次記憶装置、110 ページマッピング状態、120、122~127、130、131 バス、121 信号、1000 仮想アドレス、1001 仮想ページアドレス、1002 ページ内オフセット、1004 エントリアドレス、1005 ブロックデータサイズを示すアドレス、1006 物理ページアドレス、1010、1011 メモリ管理機構、1020 キャッシュメモリ、1021 デコード部、1022 タグ部、1023 モード部、1024 データ部、1025 アドレス比較器、1026、1056 出力制御部、1027 タグアドレス、1028 ブロックデータ、1029 モードビット、1051 TLB、1052 タグフィールド、1053 データフィールド、1054 アドレス比較器、1061-0~1061-N ページテーブルエントリ(PTE)、1100 物理アドレス、1101 ページ表ベース、1102 ページ表限界、1103 ページ表、1104 ページ表エントリ、1105 加算器、1106 比較器。

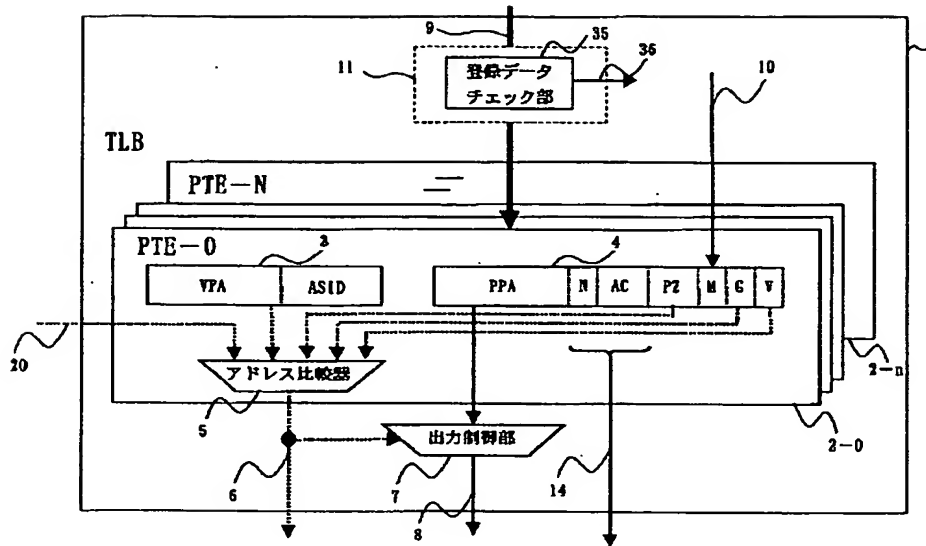
【図1】



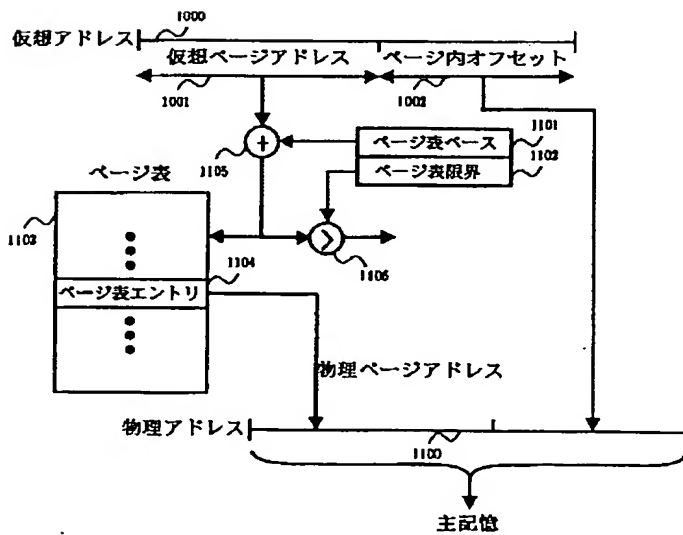
【図2】



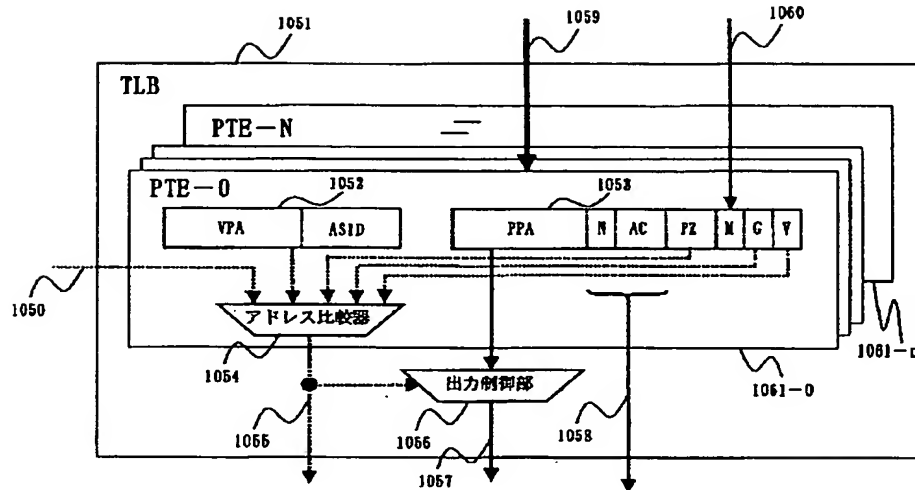
【図3】



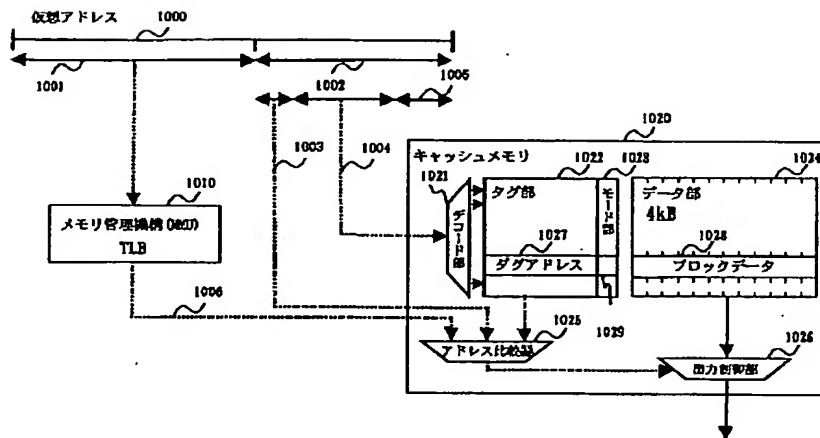
【図4】



【図5】



【図6】



【図7】

